

日 本 国 特 許 庁
JAPAN PATENT OFFICE

PCT/JP2003/600197

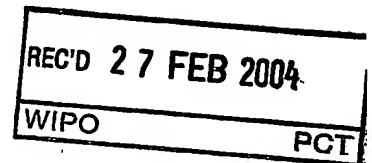
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年 1月16日

出 願 番 号
Application Number: 特願2003-008026
[ST. 10/C]: [JP2003-008026]

出 願 人
Applicant(s): ソニー株式会社

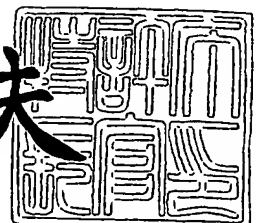


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 2月13日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3008985

【書類名】 特許願

【整理番号】 0290772802

【提出日】 平成15年 1月16日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/60

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 仙田 亜由美

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100086298

【弁理士】

【氏名又は名称】 船橋 國則

【電話番号】 046-228-9850

【手数料の表示】

【予納台帳番号】 007364

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904452

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 複数のバンプが形成された半導体チップを、複数のバンプが形成された実装基板にフリップチップ方式で実装するのに先立って、

前記半導体チップ及び前記実装基板の少なくとも一方に、前記バンプの近傍で当該バンプの形成面から突出し、かつ、当該バンプ側に向くガイド面を有する突状ガイドを形成する

ことを特徴とする半導体装置の製造方法。

【請求項 2】 前記突状ガイドのガイド面を、前記バンプの形成面と鈍角をなす斜線に沿った傾斜面又は曲面によって形成する

ことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記突状ガイドを、前記半導体チップ上又は前記実装基板上で最外周の 4 隅に配置されたバンプの近傍に形成する

ことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 4】 前記突状ガイドを、バンプ接合時の加熱温度で前記バンプよりも硬質となる材料を用いて形成する

ことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 5】 前記突状ガイドを、前記バンプの近傍で平面視略 L 字形に形成する

ことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 6】 前記突状ガイドの高さ寸法が、その近傍のバンプの高さ寸法よりも大きくなるように、前記突状ガイドを形成する

ことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 7】 前記突状ガイドの高さ寸法が、前記半導体チップと前記実装基板との間の規定ギャップ寸法とほぼ同一寸法又は当該規定ギャップ寸法よりも小さい寸法となるように、前記突状ガイドを形成する

ことを特徴とする請求項 6 記載の半導体装置の製造方法。

【請求項 8】 複数のバンプが形成された半導体チップを、複数のバンプが

形成された実装基板にフリップチップ方式で実装してなる半導体装置であって、
前記半導体チップ及び前記実装基板の少なくとも一方に、前記バンプの近傍で
当該バンプの形成面から突出し、かつ、当該バンプ側に向くガイド面を有する突
状ガイドが形成されている

ことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、バンプ同士の接合によって半導体チップを実装基板に実装する際に
用いて好適な半導体装置の製造方法と、これによって製造される半導体装置に関
する。

【0002】

【従来の技術】

現在、高性能な半導体装置のパッケージ形態の一つとして、CPU（中央演算
処理装置）やメモリなどの複数のLSI (Large Scale Integration) デバイスを
単一のパッケージに形成してシステム化を実現したSIP (System in Package)
が知られている。SIPの中には、複数の半導体チップを共通の実装基板（イン
ターポーザ）に実装したパッケージ形態を採用したものがある。また、SIPの
実装基板として、これに実装される半導体チップよりも大径の半導体チップを採
用したもの（チップオンチップ型のSIP）もある。

【0003】

このようなSIPのパッケージ形態を採用した半導体装置の実装方式として、
近年では、多ピン化や狭ピッチ化に対応するために、フリップチップ方式が実用
化されている。フリップチップ方式では、半導体チップの電極上にバンプ（金属
突起）を形成し、このバンプを介して当該半導体チップを実装基板に実装するこ
とから、バンプの形成方法や接合方法が重要な技術となっている。

【0004】

また、フリップチップ方式では、複数のバンプを形成した半導体チップを、同
じく複数のバンプを形成した実装基板にフリップチップボンダーで実装する場合

がある。このような実装構造をもつ S I P などの半導体パッケージは、通常の有機基板を用いたパッケージに比べて、小型、薄型で、しかも低消費電力で高速動作するといった特長を有するものとなっている。また、S I P は、C P U やメモリの機能を一つの高性能チップ（例えば D R A M / L O G I C 混載の L S I チップ）に盛り込むことによりシステム化を実現した S O C (System on Chip) などに比べて、コスト、開発 T A T (Turn Around Time)、動作速度などの点で優れることから、小型・軽量の携帯用電子機器だけにとどまらず、全てのエレクトロニクス機器に広く利用し得るものとなっている。

【0005】

図5は従来の半導体装置の製造方法を説明する図である。先ず、図5（A）に示すように、半導体チップ1の電極上にバンプ2を形成するとともに、これに対応する実装基板3の電極上にもバンプ4を形成する。そして、実装基板3を図示しないステージ上に固定するとともに、半導体チップ1を図示しない真空チャックで吸着保持する。そして、ステージの上方に実装基板3と対向する状態で半導体チップ1を配置する。このとき、バンプやパターンを用いた画像認識処理等によって半導体チップ1のバンプ2と実装基板3のバンプ4との位置合わせ（アライメント）を行う。

【0006】

その後、図5（B）に示すように、真空チャックを下降させることにより、半導体チップ1のバンプ2を実装基板3のバンプ4に接触させる。そして、この接触状態で真空チャックにより半導体チップ1を下方に加圧するとともに、所定の温度に加熱してバンプ2，4同士を接合する。

【0007】

ここで従来においては、半導体チップ1と実装基板3との位置合わせに狂いが生じないように、ダミーサンプルなどを用いて位置合わせの確認を行っているものの、バンプ2，4がボール状に形成されている場合などでは、僅かな位置合わせの狂いがバンプの接合性、さらには半導体装置の電気的な特性に大きな影響を与える。すなわち、図6（A）に示すように、実装基板3のバンプ4の中心位置（一点鎖線で示す）に対して半導体チップ1のバンプ2の中心位置がずれていると

、図6 (B) , (C) に示すように、バンプ2, 4を互いに接触させて加圧したときに、バンプ同士2, 4が滑って半導体チップ1と実装基板3の位置ずれが大きくなる。

【0008】

これにより、図6 (D) , (E) に示すように、実装基板3の面方向(図の左右方向)で半導体チップ1の位置が矢印方向にずれるため、バンプ2, 4の位置関係に大きな狂いが生じ、この状態でバンプ2, 4が接合されてしまう。その結果、半導体チップ1と実装基板3間のバンプ接合部では、接触面積の縮小によって抵抗値が高くなったり、場合によってはオープン不良やショート不良を招く恐れがある。

【0009】

そこで、例えば、下記特許文献1には、配線基板の配線層形成面に絶縁樹脂層を形成するとともに、この絶縁樹脂層にテーパ形状の開口部を形成し、この開口部内にはんだ層を形成する一方、半導体チップのアルミ電極端子上にボール状の金バンプを形成し、この金バンプを上記絶縁樹脂層の開口部内のはんだ層に圧接して加熱することにより、溶融軟化したはんだ層に金バンプを貫入させるとともに、軟化した絶縁樹脂層の上面を半導体チップの電極端子形成面に密着させることにより、半導体チップの金バンプと配線パッド部との接合部を絶縁樹脂層で被覆・封止する「半導体装置の製造方法」が記載されている。

【0010】

【特許文献1】

特開2000-100868号公報(段落0022~0027、図3)

【0011】

【発明が解決しようとする課題】

しかしながら、上記特許文献1に記載された製造方法では、絶縁樹脂層の開口部内のはんだ層に半導体チップの金バンプを貫入する際に、加熱によって絶縁樹脂層が軟化した状態にあるため、仮に、金バンプと開口部の位置関係が相対的にずれていた場合は、金バンプが開口部を押し広げる形で絶縁樹脂層にめり込んだ状態となる。したがって、絶縁樹脂層の開口部は、金バンプとの位置ずれを防止

する機能を果たすことない。また、上記特許文献1に記載された製造方法は、バンプ同士を接触させて接合するものでもない。よって、上記特許文献1に記載された製造方法では、本発明が解決しようとする課題、すなわち上述のように半導体チップ1をフリップチップ方式で実装基板3に実装する場合に、バンプ2, 4相互の位置ずれによって接合不良が発生するという課題を解決することはできない。

【0012】

【課題を解決するための手段】

本発明に係る半導体装置の製造方法は、複数のバンプが形成された半導体チップを、複数のバンプが形成された実装基板にフリップチップ方式で実装するのに先立って、半導体チップ及び実装基板の少なくとも一方に、バンプの近傍で当該バンプの形成面から突出し、かつ、当該バンプ側に向くガイド面を有する突状ガイドを形成するものである。

【0013】

上記半導体装置の製造方法においては、実装基板に半導体チップを実装する際に、例えば、実装基板に予め突状ガイドを形成しておくことにより、バンプ相互の位置に若干のずれが生じていても、バンプ接合時には突状ガイドのガイド面に半導体チップのバンプが接触し、この状態で加圧力が加えられることにより、バンプ相互の位置ずれが修正される。

【0014】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照しつつ詳細に説明する。

【0015】

本発明に係る半導体装置の製造方法は、半導体チップを実装基板に実装するにあたって、両者の電極部分をバンプ同士の接合によって電氣的に接続するフリップチップ方式を採用したもので、以下にその具体的な手順を述べる。

【0016】

図1～図3は本発明の実施形態に係る半導体装置の製造方法の具体例を説明する図である。なお、本実施形態においては、上記従来技術で挙げた構成要素と同

様の部分に同じ符号を付して説明することとする。

【0017】

先ず、図1 (A) に示すように、半導体チップが実装される実装基板3のチップ実装面上に複数のバンプ4を形成する。各々のバンプ4は、バンプ接合時の加熱温度で溶融しない金属、例えば、はんだ等の金属バンプからなるもので、実装基板3のチップ実装面に設けられた電極パッド上にボール状に形成される。バンプの形成方法としては、ウエハの段階でめっき法により形成する方法が一般的であるが、これ以外にも、例えば、浸漬法や、めっき後のリフロー方式などで形成することも可能である。

【0018】

次に、図1 (B) に示すように、実装基板3のチップ実装面上の全面にレジストを塗布 (コーティング) してレジスト層5を形成する。レジスト材料としては、後述するバンプ接合時の加熱温度でバンプよりも硬質となる材料、例えば、エポキシ樹脂、フェノール樹脂等の熱硬化性樹脂を用いる。また、実装基板3のチップ実装面を基準としたレジスト層5の厚み寸法が、樹脂硬化後の仕上がり状態でバンプ4の高さ寸法よりも大きくなるように、レジストの塗布厚を調整する。さらに好ましくは、上記レジスト層5の厚み寸法が、樹脂硬化後の仕上がり状態で、図示しない半導体チップと実装基板3間の規定ギャップ寸法と同じか、それよりも小さくなるように、レジストの塗布厚を調整する。ここで記述するレジスト層5の厚み寸法は後述する突状ガイド5Aの高さ寸法に相当するものとなる。

【0019】

その後、実装基板3上のレジスト層5を所定の形状にパターニングすることにより、図1 (C) , (D) に示すように、最外周の4つの隅部 (コーナー部) に位置するバンプ4の近傍にそれぞれ平面視L字形 (鍵型) の突状ガイド5Aを形成する。レジスト層5のパターニングは、先ず、図示しないフォトリソマスクを用いた紫外線の照射によりレジスト層5を露光した後、不要なレジスト材料を現像によって除去し、その後、実装基板3上に残っているレジスト材料を熱硬化させることにより行う。このパターニングによって得られた突状ガイド5Aの断面形状が長方形となった場合は、所望のガイド機能を果たすことができないため、これ

をスパッタリングなどによって所定の形状に成形加工する。ここでは、一例として、突状ガイド5Aの断面形状が略半円状となるように成形加工する。

【0020】

これにより、実装基板3のチップ実装面にバンプ4の形成面から突出した状態で突状ガイド5Aが形成される。この突状ガイド5Aは、上述のように断面略半円状に成形されることから、バンプ4に向いた側の曲面が、実装基板3のバンプ形成面（実質的にチップ実装面と同一面）に対して鈍角をなす斜線（不図示）に沿ったガイド面となる。このガイド面は、バンプ同士を接合するとき（バンプ接合時）に、後述する半導体チップ1側のバンプ2を実装基板3のバンプ4に確実に接合させるための位置合わせ用のガイド面となる。

【0021】

このようなガイド面を有する突状ガイド5Aを形成するにあたって、上記パターンニング前の処理工程では、突状ガイド5Aの元になるレジスト層5の厚み寸法が、樹脂硬化後の仕上がり状態でバンプ4の高さ寸法よりも大きくなるように、レジストの塗布厚を調整していることから、突状ガイド5Aの高さ寸法はバンプ4の高さ寸法よりも大きくなる。

【0022】

続いて、図2（A）に示すように、予めバンプ2が形成された半導体チップ1をフェースダウンで真空チャック6により吸着保持するとともに、上述のように突状ガイド5Aを形成した実装基板3をフリップチップボンダーのステージ7上に固定する。なお、ステージ7上に実装基板3を固定する際には、これに先だってダミーサンプルを用いたステージ7の位置合わせ（粗調整）を行う。そして、ステージ7に実装基板3をセットした後は、真空チャック6で保持した半導体チップ1をステージ7の上方に実装基板3に対向する状態で配置し、この状態でフリップチップボンダーが備える画像認識システムにより、半導体チップ1と実装基板3との相対的な位置合わせ（微調整）を行う。この位置合わせは、ステージ7の水平移動によって行ってもよいし、真空チャック6の水平移動によって行ってもよい。

【0023】

次いで、図2 (B) に示すように、実装基板3のチップ実装面上に封止用のアンダーフィル材8をディスペンサ等によって塗布する。アンダーフィル材8の塗布領域は、実装基板3のチップ実装面上で最外周に配置されたバンプ4を囲む領域までにとどめる。その際、アンダーフィル材8の代わりに、ACF (Anisotropic Conductive Film) やNCF (Non-Conductive Film) などの接着フィルムを予め実装基板3のチップ実装面に貼り付けておいてもよい。

【0024】

続いて、図2 (C) に示すように、真空チャック6を下降させることにより、半導体チップ1のバンプ2を実装基板3のバンプ4に接触させる。このとき、実装基板3上に塗布したアンダーフィル材8が半導体チップ1によって押し潰され、これによって半導体チップ1と実装基板3の間にアンダーフィル材8が充填された状態になる。

【0025】

また、バンプ2, 4同士を接触させるにあたって両者の位置が若干ずれていても、図3 (A) に示すように、半導体チップ1のバンプ2が突状ガイド5Aの内側の曲面 (ガイド面) に接触し、この状態で真空チャック6が半導体チップ1を矢印方向に加圧することになる。そのため、真空チャック6に保持された半導体チップ1は、図3 (B) に示すように、突状ガイド5Aの曲面上をバンプ2が滑り落ちることで左方向 (図中矢印方向)、すなわちバンプ2, 4相互の位置ずれが小さくなる方向 (位置ずれが修正される方向) に変位する。

【0026】

その結果、半導体チップ1を実装基板3に実装するにあたって、バンプ2, 4相互の位置ずれを有効に修正してバンプ接合の安定性を高めることができる。また、ダミーサンプルを用いたアライメント調整も、それほど高い精度が要求されなくなるため、これに要する調整時間を大幅に短縮し、生産性向上を図ることができる。ちなみに、上記製造方法によって得られた半導体装置では、実装基板3上に突状ガイド5Aが形成されたものとなる。

【0027】

また、突状ガイド5Aの高さ寸法を、半導体チップ1と実装基板3との間に規

定される規定ギャップ寸法と同一寸法とすることにより、半導体チップ1と実装基板3との間で突状ガイド5Aをスペーサとして機能させることができる。これにより、半導体チップ1と実装基板3との間のギャップ寸法を、突状ガイド5Aの高さ寸法をパラメータとして精度良く制御することが可能となる。

【0028】

なお、上記実施形態においては、実装基板3上で最外周の4隅に配置されたバンプ4の近傍にそれぞれ突状ガイド5Aを形成したが、突状ガイド5Aを形成する際の配置や個数は任意に変更可能である。また、半導体チップ1上に上記同様の突状ガイド5Aを形成したり、半導体チップ1と実装基板3の両方に上記同様の突状ガイド5Aを形成してもよい。ただし、半導体チップ1と実装基板3の両方に突状ガイド5Aを形成するにあたっては、バンプ接合時に双方の突状ガイド5Aが互いに干渉（接触）しないように配慮する必要がある。

【0029】

また、上記実施形態においては、突状ガイド5Aの断面形状を半円状に成形するとしたが、これに限らず、例えば、図4（A）に示すような三角形としたり、図4（C）に示すような台形としてもよい。図4（A）、（B）に示す断面形状を採用した突状ガイド5Aの場合は、バンプ形成面に対して鈍角をなす斜線に沿った傾斜面がバンプ接合時のガイド面として形成されることになる。

【0030】

【発明の効果】

以上説明したように本発明によれば、複数のバンプが形成された半導体チップを、複数のバンプが形成された実装基板にフリップチップ方式で実装する際に、これに先立って、半導体チップ及び実装基板の少なくとも一方に、バンプの近傍で当該バンプの形成面から突出し、かつ、当該バンプ側に向くガイド面を有する突状ガイドを形成するようにしたので、バンプ接合時は突状ガイドのガイド面でバンプ相互の位置ずれを修正し、安定した接合状態を得ることができる。

【図面の簡単な説明】

【図1】

本発明の実施形態に係る半導体装置の製造方法の具体例を説明する図（その1

）である。

【図 2】

本発明の実施形態に係る半導体装置の製造方法の具体例を説明する図（その 2）である。図である。

【図 3】

本発明の実施形態に係る半導体装置の製造方法の具体例を説明する図（その 3）である。

【図 4】

突状ガイドの断面形状の他の例を示す図である。

【図 5】

従来の半導体装置の製造方法を説明する図である。

【図 6】

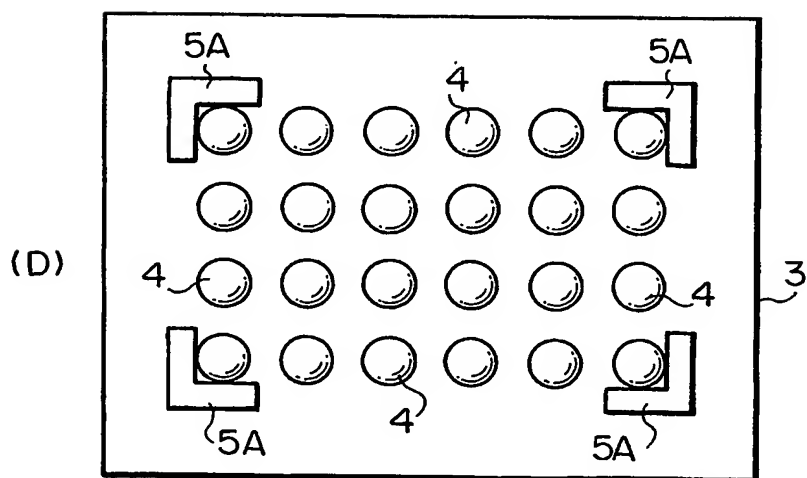
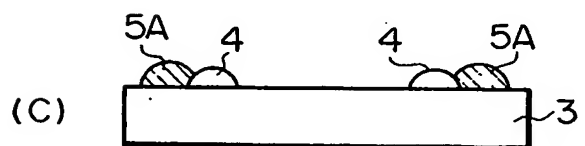
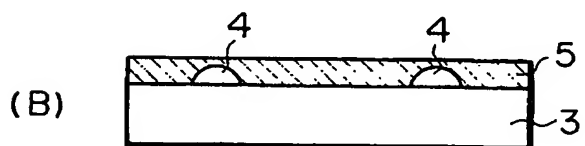
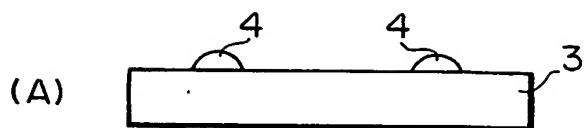
従来方法の課題を説明する図である。

【符号の説明】

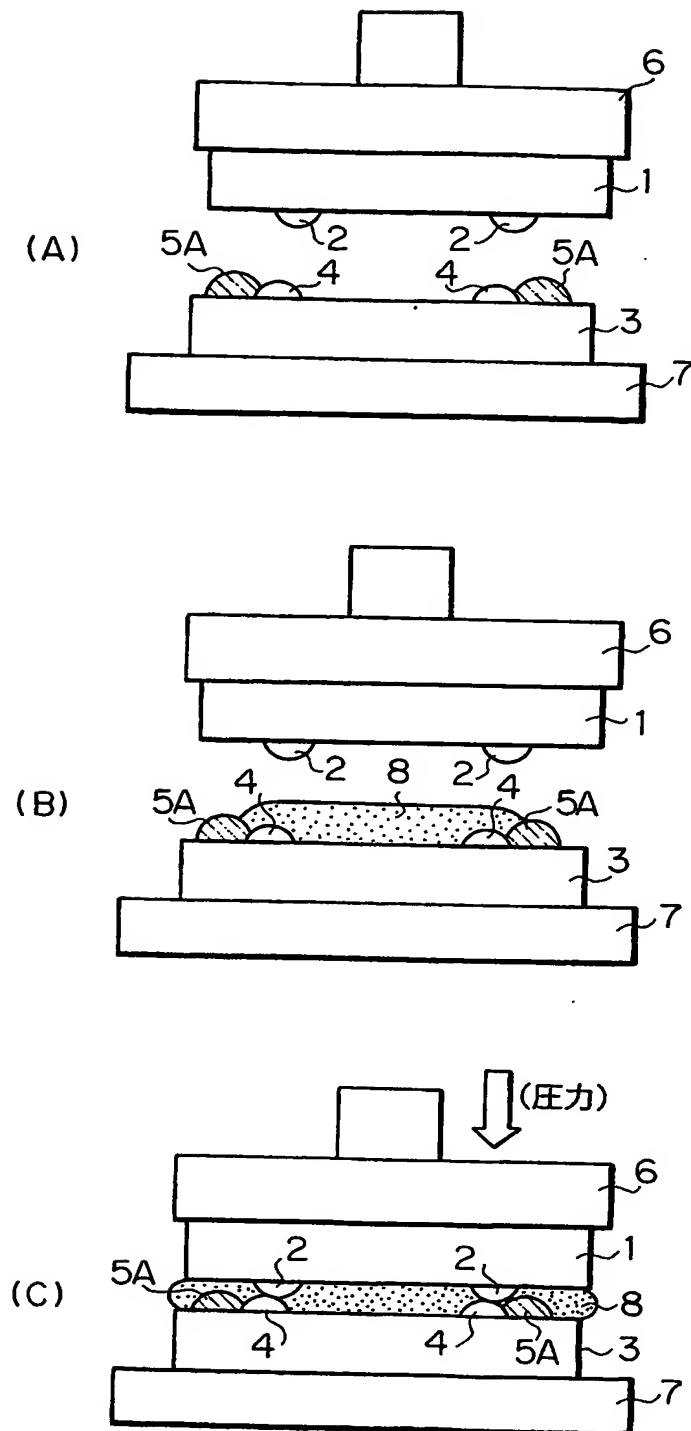
1…半導体チップ、2, 4…バンプ、3…実装基板、5…レジスト層、5A…突状ガイド、6…真空チャック、7…ステージ、8…アンダーフィル材

【書類名】 図面

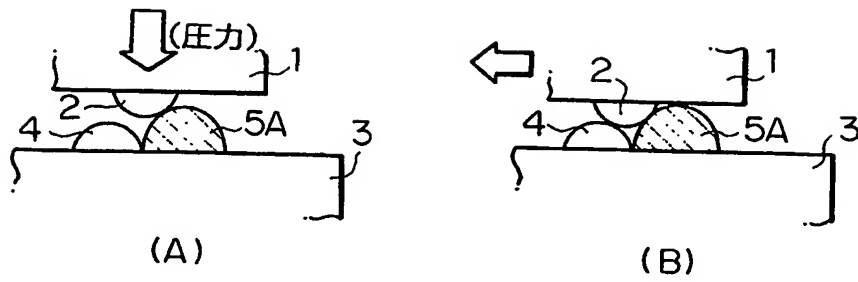
【図 1】



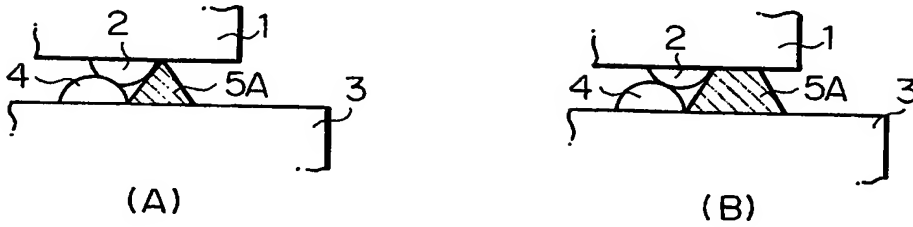
【図 2】



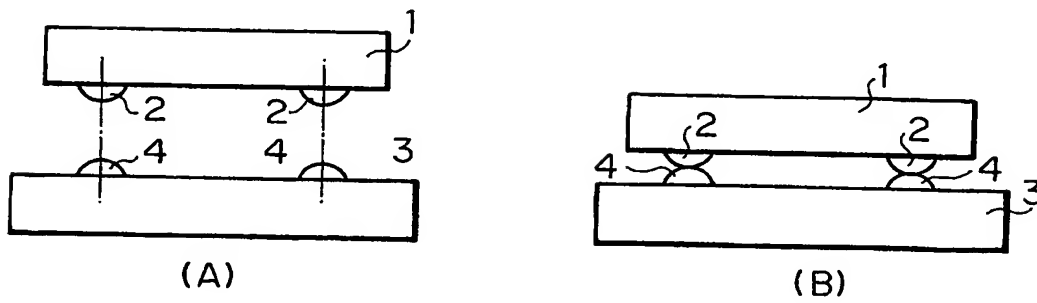
【図 3】



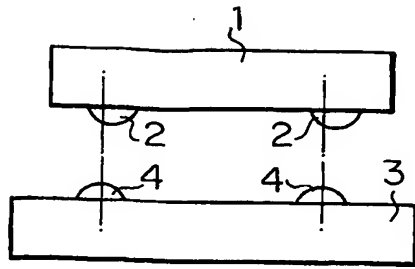
【図 4】



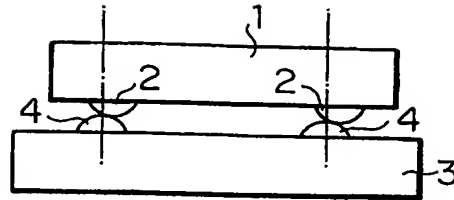
【図 5】



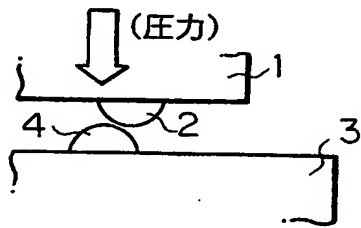
【図 6】



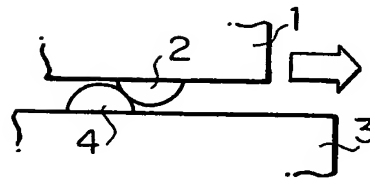
(A)



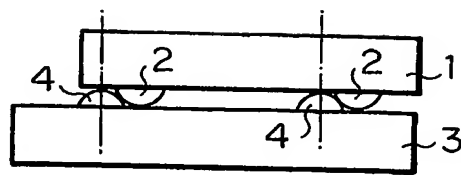
(B)



(C)



(D)



(E)



【書類名】 要約書

【要約】

【課題】 バンプ同士の接合によって半導体チップを実装基板に実装する場合に、バンプ相互の位置ずれによって接合不良が発生する。

【解決手段】 複数のバンプが形成された半導体チップを、複数のバンプ4が形成された実装基板3にフリップチップ方式で実装するのに先立って、バンプ形成済みの実装基板3にバンプ4よりも厚くレジスト層5を形成し、このレジスト層5をパターニングすることにより、バンプ4の近傍で当該バンプ4の形成面から突出し、かつ、当該バンプ4側に向くガイド面（曲面）を有する断面半円状の突状ガイド5Aを実装基板3上に形成する。

【選択図】 図1



特願 2003-008026

出願人履歴情報

識別番号

[000002185]

1. 変更年月日

1990年 8月30日

[変更理由]

新規登録

住 所

東京都品川区北品川6丁目7番35号

氏 名

ソニー株式会社